

21.2.2005

日本国特許庁
JAPAN PATENT OFFICE

REC'D 10 MAR 2005

別紙添付の書類に記載されている事項は下記の書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 2月19日
Date of Application:

出願番号 特願2004-042701
Application Number:

[ST. 10/C] : [JP2004-042701]

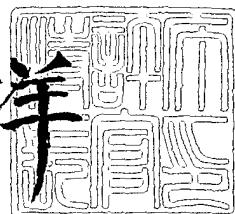
出願人 東京エレクトロンデバイス株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2005年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

小川洋



【書類名】 特許願
【整理番号】 JPP034004
【提出日】 平成16年 2月19日
【あて先】 特許庁長官 殿
【国際特許分類】 G05B 19/05
H03K 19/173

【発明者】
【住所又は居所】 神奈川県横浜市都筑区東方町1番地 東京エレクトロンデバイス
株式会社内
菊地 修一

【氏名】
【特許出願人】
【識別番号】 500323188
【氏名又は名称】 東京エレクトロンデバイス株式会社

【代理人】
【識別番号】 100095407
【弁理士】
【氏名又は名称】 木村 満

【手数料の表示】
【予納台帳番号】 038380
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0014440

【書類名】特許請求の範囲

【請求項1】

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを取得し、取得したモジュールに基づいて当該制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御装置であって、

前記制御対象のプログラマブル論理回路に制御信号を供給することにより、当該制御対象のプログラマブル論理回路の論理的構成を変更するコントローラと、

前記制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを複数記憶するモジュール記憶用メモリと、

順序付けられた複数の記憶位置を有し、これらの記憶位置の少なくともいずれかに、モジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリと、

前記制御対象のプログラマブル論理回路の所定のノードに発生した信号を取得して、当該信号が表す値を記憶するノード値記憶用メモリと、を備え、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が記憶位置を有し、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込表す値を、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている読み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶する読み出し機能と、を有しておる、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、読出用アドレス及び書込用アドレスが更に格納されており、

前記コントローラは、

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得する機能と、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に論理回路に変更することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更する機能と、

取得したデータに含まれる読出用アドレス及び書込用アドレスを前記ノード値記憶用メモリに供給する機能と、を有する、

ことを特徴とするプログラマブル論理回路制御装置。

【請求項2】

前記コントローラは、前記制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されている、

ことを特徴とする請求項1に記載のプログラマブル論理回路制御装置。

【請求項3】

前記ノード値記憶用メモリは、前記制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されている、

ことを特徴とする請求項1又は2に記載のプログラマブル論理回路制御装置。

【請求項4】

前記ノード値記憶用メモリは、前記書き込み機能及び前記読み出し機能を互いに独立に行うことが可能な構成を有しており、

前記コントローラは、書込用アドレスを前記ノード値記憶用メモリに供給する機能及び読み出用アドレスを前記ノード値記憶用メモリに供給する機能を並行して行うことが可能な構成を有している、

ことを特徴とする請求項1、2又は3に記載のプログラマブル論理回路制御装置。

【請求項5】

モジュール使用順序指定用メモリは、それぞれの前記記憶位置に、モジュールのアドレス又は他の記憶位置を指定するデータを格納するものであり、

前記コントローラは、

前記モジュール使用順序指定用メモリの記憶位置より取得したデータが、モジュールのアドレス又は他の記憶位置のいずれを指定するものであるかを判別し、

モジュールのアドレスを指定していると判別したときは、当該アドレスにより示される当該モジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更し、

他の記憶位置を指定していると判別したときは、当該他の記憶位置に格納されているデータを前記モジュール使用順序指定用メモリより取得する、

ことを特徴とする請求項1乃至4のいずれか1項に記載のプログラマブル論理回路制御装置。

【請求項6】

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータは、他の記憶位置を指定するものである場合、当該他の記憶位置に格納されているデータを取得する処理に移る条件を指定する条件定義データを含んでおり、

前記コントローラは、

他の記憶位置を指定していると判別したときは、取得したデータに含まれる条件定義データが指定する条件が満たされているか否かを判別し、

満たされていると判別したときは、当該他の記憶位置に格納されているデータを前記モジュール使用順序指定用メモリより取得し、

満たされていないと判別したときは、当該他の記憶位置からのデータの取得を中止する

ことを特徴とする請求項5に記載のプログラマブル論理回路制御装置。

【請求項7】

前記条件定義データが指定する条件は、前記制御対象のプログラマブル論理回路の所定のノードに発生する信号が表す値に係るものであり、

前記コントローラは、他の記憶位置を指定していると判別したときは、前記制御対象のプログラマブル論理回路の前記ノードより前記信号を取得し、取得した信号が表す値に基づいて、前記モジュール使用順序指定用メモリより取得したデータに含まれる条件定義データが指定する条件が満たされているか否かを判別する、

ことを特徴とする請求項6に記載のプログラマブル論理回路制御装置。

【請求項8】

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータは、当該データがモジュールのアドレス又は他の記憶位置のいずれを指定するものであるかを識別する識別データを含んでおり、

前記コントローラは、前記モジュール使用順序指定用メモリより取得したデータに含まれる識別データに基づいて、当該取得したデータが、モジュールのアドレス又は他の記憶位置のいずれを指定するものであるかを判別する、

ことを特徴とする請求項5、6又は7に記載のプログラマブル論理回路制御装置。

【請求項9】

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御装置であって、

順序付けられた複数の記憶位置を有しこれらの記憶位置の少なくともいずれかにモジュ

ールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリより、当該モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得する手段を備え、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、ノード値記憶用メモリが有する記憶位置に割り当てられている読出用アドレス及び書込用アドレスが更に格納されており、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込む値を、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている有値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有するものであって、

前記プログラマブル論理回路制御装置は更に、

取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給する手段と、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるよう、前記制御対象のプログラマブル論理回路の論理的構成を変更する手段と、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給する手段と、を備える、

ことを特徴とするプログラマブル論理回路制御装置。

【請求項10】

制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールに基づいて当該制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御方法であって、

前記制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを複数記憶するステップと、

順序付けられた複数のモジュール使用順序指定用記憶位置の少なくともいずれかに、モジュールのアドレスを指定するデータと、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号を取得して当該信号が表す値を記憶するノード値記憶用メモリの記憶領域に割り当てられている読出用アドレス及び書込用アドレスと、を格納するステップと、

前記モジュール使用順序指定用の記憶位置に格納されているデータを取得するステップと、

取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給するステップと、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するステップと、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給するステップと、を含み、

前記ノード値記憶用メモリは、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が表す値を、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有するものである、

ことを特徴とするプログラマブル論理回路制御方法。

【請求項 1 1】

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御方法であって、

順序付けられた複数の記憶位置を有しそれらの記憶位置の少なくともいずれかにモジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリより、当該モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得するステップを含み、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、ノード値記憶用メモリが有する記憶位置に割り当てられている読出用アドレス及び書込用アドレスが更に格納されており、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込表す値を、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている有値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有するものであって、

前記プログラマブル論理回路制御方法は更に、

取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給するステップと、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるよう前記制御対象のプログラマブル論理回路の論理的構成を変更する論理回路にとらせるよう前記制御対象のプログラマブル論理回路の論理的構成を変更するステップと、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給するステップと、を含む、

ことを特徴とするプログラマブル論理回路制御方法。

【請求項 1 2】

コンピュータを、

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路に制御信号を供給することにより、当該制御対象のプログラマブル論理回路の論理的構成を変更するコントローラと、

前記制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを複数記憶するモジュール記憶用メモリと、

順序付けられた複数の記憶位置を有し、これらの記憶位置の少なくともいずれかに、モジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリと、

前記制御対象のプログラマブル論理回路の所定のノードに発生した信号を取得して、当該信号が表す値を記憶するノード値記憶用メモリと、して機能させるためのプログラムであって、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込表す値を、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている有値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有しており、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデ

ータが格納されている記憶位置には、読出用アドレス及び書込用アドレスが更に格納されおり、

前記コントローラは、
前記モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得し、
取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給し、
取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更し、
取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給する、
ことを特徴とするプログラム。

【請求項13】

コンピュータを、供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象の機能を変更するためのプログラムであって、

プログラマブル論理回路制御装置は、順序付けられた複数の記憶位置を有しそれらの記憶位置の少なくともいずれかにモジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリより、当該モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得する手段を備え、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、ノード値記憶用メモリが有する記憶位置に割り当てる読出用アドレス及び書込用アドレスが更に格納されており、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当られた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込む機能と、自己に供給された書込用アドレスを割り当られた記憶位置に記憶する書き出し機能と、自己に供給された読出用アドレスを割り当られた記憶位置に記憶する読み出し機能と、を有するものであって、

前記プログラマブル論理回路制御装置は更に、

取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給する手段と、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるよう前記制御対象のプログラマブル論理回路の論理的構成を変更する手段と、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給する手段と、を備える、
ことを特徴とするプログラム。

【書類名】明細書

【発明の名称】プログラマブル論理回路制御装置、プログラマブル論理回路制御方法及びプログラム

【技術分野】

【0001】

本発明は、プログラマブル論理回路制御装置、プログラマブル論理回路制御方法及びプログラムに関する。

【背景技術】

【0002】

特定用途向け集積回路（A S I C）を使用する分野において、A S I C開発中の仕様変更に柔軟に対応するため、また、製品の開発期間を短縮するため、フィールド・プログラマブル・ゲート・アレイ（F P G A）（例えば米国X I L I N X社のX Cシリーズ等）や、プログラマブル・ロジック・デバイス（P L D）などのプログラマブル論理回路が広く、プログラマブル論理回路は、回路情報をロードすることにA S I Cとして使われている。プログラマブル論理回路は、内部の論理回路の論理的構成を自由に変更できる論理回路である。

【0003】

しかし、最近はA S I Cに要求される論理的構成は複雑さが増し、規模も増大の一途にある。このため、プログラマブル論理回路を用いてA S I Cを構成する場合においては、プログラマブル論理回路を数個ないし数十個使用するケースも発生している。

【0004】

そこで、規模が増大した論理回路においても、その全てが常に動作している訳ではないことに着目し、同一のプログラマブル論理回路が異なる時間に異なる機能を実現するよう、プログラマブル論理回路を再構成することが提案されている（例えば、特許文献1参照）。プログラマブル論理回路の再構成を行うことにより、A S I Cの規模を小型にできる。

【特許文献1】特開2001-202236号公報

【特許文献2】特開2003-198362号公報

【特許文献3】特開2003-029969号公報

【0005】

ただ、プログラマブル論理回路を再構成するために回路全体の回路情報を再度ロードすると、再構成に時間がかかる。また、処理の途中で再構成する場合は、当該処理を中断し、中断した時点で生成されていたデータをプログラマブル論理回路の外部に退避させ、他の処理を行うための新たな回路情報を取得してプログラマブル論理回路を再構成し、再構成後のプログラマブル論理回路によって処理される対象の新しいデータを入力する、という処理が必要である。そこで最近では、データの退避や新たなデータの入力に費やされる時間を見積り、例えば特許文献1に示されているように、プログラマブル論理回路の構成を複雑化するため、例えはデータを退避させる、といった手法が考えられている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、A S I Cが行う各処理においては、その過程で生成するデータのビット幅やデータ長が処理毎に異なるのが通常である、従って、処理の過程で生成されたデータを退避するための記憶領域や、プログラマブル論理回路の再構成に伴って入力される新しいデータを記憶するための記憶領域は、A S I Cが行うそれぞれの処理について用意する必要があった。このため、キャッシュメモリの記憶領域の所要量が著しく増大し、プログラマブル論理回路の構成が複雑化するという問題が生じていた。

【0007】

本発明は、上記実情に鑑みてなされたもので、プログラマブル論理回路が実行する多様な処理によって生じる様々なビット幅ないしデータ長のデータを簡単な構成で管理できる

プログラマブル論理回路制御装置、プログラマブル論理回路制御方法及びプログラムを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、この発明の第1の観点に係るプログラマブル論理回路制御装置は、

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを取得し、取得したモジュールに基づいて当該制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御装置であって、

前記制御対象のプログラマブル論理回路に制御信号を供給することにより、当該制御対象のプログラマブル論理回路の論理的構成を変更するコントローラと、

前記制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを複数記憶するモジュール記憶用メモリと、

順序付けられた複数の記憶位置を有し、これらの記憶位置の少なくともいずれかに、モジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリと、

前記制御対象のプログラマブル論理回路の所定のノードに発生した信号を取得して、当該信号が表す値を記憶するノード値記憶用メモリと、を備え、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が表す値を、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有しております、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、読出用アドレス及び書込用アドレスが更に格納されており、

前記コントローラは、

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得する機能と、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更する機能と、

取得したデータに含まれる読出用アドレス及び書込用アドレスを前記ノード値記憶用メモリに供給する機能と、を有する、

ことを特徴とする。

【0009】

このようなプログラマブル論理回路制御装置によれば、プログラマブル論理回路が論理演算等の処理の過程で生成するデータやプログラマブル論理回路の再構成に伴って入力される新しいデータのビット幅やデータ長が処理毎に様々であっても、これらのデータを記憶するための記憶領域を処理毎に用意する必要がなく、これらのデータが簡単な構成で管理される。

【0010】

前記コントローラが前記制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されてもよい。この場合、コントローラにより論理的構成を変更される部分には、コントローラ自身を構成する部分も更に含まれ得る。

また、前記ノード値記憶用メモリが前記制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されてもよい。この場合、コントローラにより論理的

構成を変更される部分には、ノード値記憶用メモリを構成する部分も含まれ得る。
コントローラ及び／又はノード値記憶用メモリが制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されていれば、プログラマブル論理回路制御装置を含んだシステム全体の物理的構成は更に簡略化される。

【0011】

前記ノード値記憶用メモリは、前記書き込み機能及び前記読み出し機能を互いに独立に行うことが可能な構成を有していてもよい。

この場合、前記コントローラは、書込用アドレスを前記ノード値記憶用メモリに供給する機能及び読出用アドレスを前記ノード値記憶用メモリに供給する機能を並行して行うことが可能な構成を有していれば、ノード値記憶用メモリへの信号の値の書き込みや読み出しが効率的に行われる。

【0012】

モジュール使用順序指定用メモリは、それぞれの前記記憶位置に、モジュールのアドレス又は他の記憶位置を指定するデータを格納するものであってもよい。

この場合、前記コントローラは、

前記モジュール使用順序指定用メモリの記憶位置より取得したデータが、モジュールのアドレス又は他の記憶位置のいずれを指定するものであるかを判別し、

モジュールのアドレスを指定していると判別したときは、当該アドレスにより示される当該モジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記プログラマブル論理回路にとらせるような制御信号を生成して前記プログラマブル論理回路に供給することにより、前記プログラマブル論理回路の論理的構成を変更し、

他の記憶位置を指定していると判別したときは、当該他の記憶位置に格納されているデータを前記モジュール使用順序指定用メモリより取得するものであってもよい。

このような構成を有していれば、プログラマブル論理回路の論理的構成を変更する処理が、分岐処理を含む複雑な手順であっても容易かつ円滑に実行される。

【0013】

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータは、他の記憶位置を指定するものである場合、当該他の記憶位置に格納されているデータを取得する処理に移る条件を指定する条件定義データを含んでいてもよく、

この場合、前記コントローラは、

他の記憶位置を指定していると判別したときは、取得したデータに含まれる条件定義データが指定する条件が満たされているか否かを判別し、

満たされていると判別したときは、当該他の記憶位置に格納されているデータを前記モジュール使用順序指定用メモリより取得し、

満たされていないと判別したときは、当該他の記憶位置からのデータの取得を中止するものであってもよい。

このような構成を有していれば、プログラマブル論理回路の論理的構成を変更する処理が、条件分岐を含む手順であっても容易かつ円滑に実行される。

【0014】

前記条件定義データが指定する条件は、例えば、前記プログラマブル論理回路の所定のノードに発生する信号が表す値に係るものであってもよい。

この場合、前記コントローラは、他の記憶位置を指定していると判別したときは、前記プログラマブル論理回路の前記ノードより前記信号を取得し、取得した信号が表す値に基づいて、前記モジュール使用順序指定用メモリより取得したデータに含まれる条件定義データが指定する条件が満たされているか否かを判別するものであればよい。

【0015】

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータは、当該データがモジュールのアドレス又は他の記憶位置のいずれを指定するものであるかを識別する識別データを含んでいてもよい。

この場合、前記コントローラは、前記モジュール使用順序指定用メモリより取得したデータに含まれる識別データに基づいて、当該取得したデータが、モジュールのアドレス又は他の記憶位置のいずれを指定するものであるかを判別するようにしてもよい。

【0016】

また、この発明の第2の観点に係るプログラマブル論理回路制御装置は、供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御装置であって、

順序付けられた複数の記憶位置を有しそれらの記憶位置の少なくともいずれかにモジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリより、当該モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得する手段を備え、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、ノード値記憶用メモリが有する記憶位置に割り当てられている読み出用アドレス及び書き込用アドレスが更に格納されており、

前記ノード値記憶用メモリは、読み出用アドレス及び書き込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された書き込用アドレスを割り当てられた記憶位置に記憶されている読み出用アドレスを割り当てられた記憶位置に記憶する読み出し機能と、を有するものであって、

前記プログラマブル論理回路制御装置は更に、

取得したデータに含まれる書き込用アドレスを前記ノード値記憶用メモリに供給する手段と、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるよう、前記制御対象のプログラマブル論理回路の論理的構成を変更する手段と、

取得したデータに含まれる読み出用アドレスを前記ノード値記憶用メモリに供給する手段と、を備える、

ことを特徴とする。

【0017】

このようなプログラマブル論理回路制御装置によつても、プログラマブル論理回路が論理演算等の処理の過程で生成するデータやプログラマブル論理回路の再構成に伴つて入力される新しいデータは、そのビット幅やデータ長が処理毎に様々であつても簡単な構成でこれらのデータを記憶するための記憶領域を処理毎に用意する必要がない。な管理され、これらのデータを記憶するための記憶領域を処理毎に用意する必要がない。なお、プログラマブル論理回路制御装置自身やノード値記憶用メモリが、制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されれば、プログラマブル論理回路制御装置を含んだシステム全体の物理的構成が更に簡略化される。

【0018】

また、この発明の第3の観点に係るプログラマブル論理回路制御方法は、

制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールに基づいて当該制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御方法であつて、

前記制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを複数記憶するステップと、

順序付けられた複数のモジュール使用順序指定用記憶位置の少なくともいずれかに、モジュールのアドレスを指定するデータと、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号を取得して当該信号が表す値を記憶するノード値記憶用メモリの記憶領域に割り当てられている読出用アドレス及び書込用アドレスと、を格納するステップと、

前記モジュール使用順序指定用の記憶位置に格納されているデータを取得するステップと、
該記憶用メモリに供給するステップ

取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給するヘッダと、

アラビア数字記述と並記する記述記憶用メモリに供給するステップと、
取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用
メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル
論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に
供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するス
テップと、

ノードと、
取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給するステップと、を含み、
ノード間のデータ交換用バスを介して、ノード間のデータ交換を行う。

前記ノード値記憶用メモリは、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が表す値を、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有するものである、

ことを特徴とする。

[0019]

このようなプログラマブル論理回路制御方法によれば、プログラマブル論理回路が論理演算等の処理の過程で生成するデータやプログラマブル論理回路の再構成に伴って入力される新しいデータのビット幅やデータ長が処理毎に様々であっても、これらのデータを記憶するための記憶領域を処理毎に用意する必要がなく、これらのデータが簡単な構成で管轄される。なお、ノード値記憶用メモリが、制御対象のプログラマブル論理回路の論理構成の一部を変更することにより形成されていれば、前記プログラマブル論理回路制御方法を行うシステム全体の物理的構成が更に簡略化される。

【0 0 2 0】

また、この発明の第4の観点に係るプログラマブル論理回路制御方法は、

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御方法であって、

順序付けられた複数の記憶位置を有しそれらの記憶位置の少なくともいずれかにモジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリより、当該モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得するステップを含み、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、ノード値記憶用メモリが有する記憶位置に割り当てるに、更に格納されており、

前記ノード値記憶用メモリは、読み出用アドレス及び書き込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された書き込用アドレスを割り当てられた記憶位置に記憶されている読み出用アドレスを割り当てられた記憶位置に記憶されている読み出し機能と、を有する信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有する

するものであって、

前記プログラマブル論理回路制御方法は更に、
取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給するステップと、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるよう前記制御対象のプログラマブル論理回路の論理的構成を変更するステップと、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給するステップと、を含む、

ことを特徴とする。

【0021】

このようなプログラマブル論理回路制御方法によっても、プログラマブル論理回路が論理演算等の処理の過程で生成するデータやプログラマブル論理回路の再構成に伴って入力される新しいデータは、そのビット幅やデータ長が処理毎に様々であっても簡単な構成で管理され、これらのデータを記憶するための記憶領域を処理毎に用意する必要がない。なお、ノード値記憶用メモリが、制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されれば、前記プログラマブル論理回路制御方法を行うシステム全体の物理的構成が更に簡略化される。

【0022】

また、この発明の第5の観点に係るプログラムは、

コンピュータを、

供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路に制御信号を供給することにより、当該制御対象のプログラマブル論理回路の論理的構成を変更するコントローラと、

前記制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを複数記憶するモジュール記憶用メモリと、

順序付けられた複数の記憶位置を有し、これらの記憶位置の少なくともいずれかに、モジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリと、

前記制御対象のプログラマブル論理回路の所定のノードに発生した信号を取得して、当該信号が表す値を記憶するノード値記憶用メモリと、して機能させるためのプログラムであって、

前記ノード値記憶用メモリは、読出用アドレス及び書込用アドレスが割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が記憶位置を有し、自己に供給された書込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読出用アドレスを割り当てられた記憶位置に記憶されている有値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有しております、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、読出用アドレス及び書込用アドレスが更に格納されており、

前記コントローラは、

前記モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得し、

取得したデータに含まれる書込用アドレスを前記ノード値記憶用メモリに供給し、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更し、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給する、
ことを特徴とする。

【0 0 2 3】

【0025】このようなプログラムを実行するコンピュータによれば、プログラマブル論理回路が論理演算等の処理の過程で生成するデータやプログラマブル論理回路の再構成に伴って入力される新しいデータのビット幅やデータ長が処理毎に様々であっても、これらのデータを記憶するための記憶領域を処理毎に用意する必要がなく、これらのデータが簡単な構成で管理される。

[0 0 2 4]

また、この発明の第6の観点に係るプログラムは、

また、この発明の第1の観点に依る。コンピュータを、供給された制御信号に従って論理的構成を変更する機能を有する制御対象のプログラマブル論理回路の論理的構成を定義するデータからなるモジュールを、当該モジュールを複数記憶するモジュール記憶用メモリから取得し、取得したモジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるような制御信号を生成して前記制御対象のプログラマブル論理回路に供給することにより、前記制御対象のプログラマブル論理回路の論理的構成を変更するプログラマブル論理回路制御装置として機能させるためのプログラムであって、

能させるためのプログラムであり、
プログラム論理回路制御装置は、順序付けられた複数の記憶位置を有しそれらの記憶位置の少なくともいずれかにモジュールのアドレスを指定するデータを格納するモジュール使用順序指定用メモリより、当該モジュール使用順序指定用メモリの記憶位置に格納されているデータを取得する手段を備え、

モジュール使用順序指定用メモリの記憶位置のうちモジュールのアドレスを指定するデータが格納されている記憶位置には、ノード値記憶用メモリが有する記憶位置に割り当られている読出用アドレス及び書込用アドレスが更に格納されており、

前記ノード値記憶用メモリは、読み出用アドレス及び書き込用アドレスを割り当てられた記憶位置を有し、前記制御対象のプログラマブル論理回路の所定のノードに発生した信号が書き込用アドレスを割り当てられた記憶位置に記憶する書き込み機能と、自己に供給された読み出用アドレスを割り当てられた記憶位置に記憶されている値を表す信号を前記制御対象のプログラマブル論理回路に供給する読み出し機能と、を有するものであつて、

前記プログラマブル論理回路制御装置は更に、

取得したデータに含まれるアドレスにより示されるモジュールを前記モジュール記憶用メモリより取得して、当該モジュールが示す論理的構成を前記制御対象のプログラマブル論理回路にとらせるよう前記制御対象のプログラマブル論理回路の論理的構成を変更する手段と、

取得したデータに含まれる読出用アドレスを前記ノード値記憶用メモリに供給する手段と、を備える、

ことを特徴とする。

[0 0 2 5]

このようなプログラムを実行するコンピュータによっても、プログラマブル論理回路が入論理演算等の処理の過程で生成するデータやプログラマブル論理回路の再構成に伴って入力される新しいデータは、そのビット幅やデータ長が処理毎に様々であっても簡単な構成で管理され、これらのデータを記憶するための記憶領域を処理毎に用意する必要がない。なお、ノード値記憶用メモリが、制御対象のプログラマブル論理回路の論理的構成の一部を変更することにより形成されていれば、このようなプログラムを実行するコンピュータを含んだシステム全体の物理的構成が簡略化される。

【発明の効果】

[0026]

本発明によれば、プログラマブル論理回路が実行する多様な処理によって生じる様々なビット幅ないしデータ長のデータを簡単な構成で管理できるプログラマブル論理回路制御

装置、プログラマブル論理回路制御方法及びプログラムが実現される。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施の形態を、プログラマブル論理回路装置を例とし、図面を参照して説明する。

図1は、このプログラマブル論理回路装置の構成を示す図である。図示するように、このプログラマブル論理回路装置は、プログラマブル論理回路Pより構成されている。

【0028】

プログラマブル論理回路Pは、例えば、米国XILINX社のフィールド・プログラマブル・ゲート・アレイ(FPGA)を構成するために用いられているコンフィグアラブル論理ブロック(CLB:Configurable Logic Block)、マトリクススイッチ及び配線材などより構成されており、外部から供給され、又はプログラマブル論理回路P自身が生成する制御信号に従って、自己の論理的構成(つまり、自己に入力される信号と自己が出力する信号との対応関係)を変化(再構成)させる。

【0029】

そして、プログラマブル論理回路Pは、自己の論理的構成を変化させることにより、論理回路部1と、内部データ記憶用メモリ2と、モジュール記憶部3と、モジュールアドレス記憶部4と、回路制御部5とを形成する。論理回路部1、内部データ記憶用メモリ2、モジュール記憶部3及びモジュールアドレス記憶部4は、回路制御部5に接続されるよう形成される。また、論理回路部1及び内部データ記憶用メモリ2は相互に接続されるよう形成される。

【0030】

なお、プログラマブル論理回路Pは、例えば外部のコンピュータやあるいはその他外部の装置より、内部データ記憶用メモリ2、モジュール記憶部3、モジュールアドレス記憶部4及び回路制御部5の論理的構成を指定する制御信号の供給を受け、この制御信号に従って自己の論理的構成を変化させることにより、内部データ記憶用メモリ2、モジュール記憶部3、モジュールアドレス記憶部4及び回路制御部5を形成するものとする。そして、プログラマブル論理回路Pのうち、内部データ記憶用メモリ2、モジュール記憶部3、モジュールアドレス記憶部4又は回路制御部5を構成しない部分が、論理回路部1をなすものとする。

【0031】

論理回路部1は、例えば図2に模式的に示すように、入力論理回路BIBC、論理回路BFBBC、出力論理回路BOBC、マトリクススイッチBLSW、配線LVL0～LVL4、配線LHL0～LHL2より構成されている。

【0032】

配線LVL0～LVL4及びLHL0～LHL2は、それぞれ63本ずつの信号線より構成されている。入力論理回路BIBC、論理回路BFBBC及び出力論理回路BOBCは、それぞれ、バスを介して配線LVL0～LVL4と接続される。また、配線LVL0～LVL4及びLHL0～LHL2の相互間は、マトリクススイッチBLSWによって断続され、これにより可変配線が実現される。

【0033】

論理回路BIBC、論理回路BFBBC、及び論理回路BOBCは、例えばTTL(Transistor-Transistor Logic)回路やCMOS(Complementary Metal-Oxide-Silicon)論理回路などの論理回路より構成されている。

【0034】

入力論理回路BIBCは、論理回路部1に入力された入力信号を、回路制御部5の制御に従った態様で配線LVL0に供給する論理回路である。個々の入力論理回路BIBCは、例えば、図3に示すように、出力選択回路OSEL1より構成されている。

【0035】

出力選択回路OSEL1は、63ビットのバスIoA(1)～IoA(63)を介して

配線LVL0に接続されており、論理回路部1に入力された4ビットの信号を、配線LVL0を構成する信号線へと供給する。ただし、出力選択回路SEL1は、配線LVL0のどの信号線へとこの信号を供給するかを、回路制御部5等より供給される24ビットの制御信号ConfigIの値に基づいて決定し、決定された信号線にこの信号を供給するものとする。また、出力選択回路SEL1は、この信号を配線LVL0のいずれの信号線にも供給しないと決定する場合もあり得るものとする。

【0036】

論理回路BFB'Cは、配線LVL0～LVL3より供給された信号に、回路制御部5の論理制御に従った論理演算を施し、得られた信号を配線LVL1～LVL4へと供給する論理回路である。個々の論理回路BFB'Cは、例えば、図4に示すように、入力選択回路ISEL1と、基本機能セルLFB'Cと、出力選択回路SEL2とを含んでいる。

【0037】

入力選択回路ISEL1は、63ビットのバスIiA(1)～IiA(63)を介して配線LVL0又はLVL1に接続されており、接続先である配線LVL0又はLVL1より供給される信号のうち6ビットの信号を取得し、基本機能セルLFB'Cへと供給する。ただし、入力選択回路ISEL1は、配線LVL0又はLVL1をなす63本の信号線のうちどの6本から信号を取得するかを、回路制御部5等より供給される36ビットの制御信号ConfigFiの値に基づいて決定し、決定された信号線から計6ビットの信号を取得して、基本機能セルLFB'Cへと供給するものとする。また、入力選択回路ISEL1は、配線LVL0又はLVL1のいずれの信号線からも信号を取得しないと決定する場合もあり得るものとし、この場合は、論理値“0”を表す信号を基本機能セルLFB'Cへと供給するものとする。

【0038】

基本機能セルLFB'Cは、例えば、図4に示すように、選択回路SELを含んでいる。選択回路SELは、入力選択回路ISEL1より供給される6ビットの信号の値に基づいて、回路制御部5等より供給される130ビットの制御信号ConfigFfの1番目～64番目ビットのうちから1ビット、65番目～128番目ビットのうちから1ビット、計2ビットを選択し、これら2ビットの信号(信号XY)を、出力選択回路SEL2と内部データ記憶用メモリ2の後述する入力ポートTOとに供給する。また、選択回路SELは、信号XYをラッチするか否かを、制御信号ConfigFfの129番目及び130番目のビットの値に基づいて決定し、決定の結果を示す信号ENを、内部データ記憶用メモリ2の入力ポートTOに供給する。

【0039】

また、基本機能セルLFB'Cは、信号XYを内部データ記憶用メモリ2に記憶させるか否かを、制御信号ConfigFfの129番目及び130番目のビットの値に基づいて決定し、決定の結果を示す制御データを、内部データ記憶用メモリ2の後述するイネーブル端子ENに供給する。制御データは、例えば、信号XYを記憶させることを示す場合は値“1”をとり、記憶させないことを示す場合は値“0”をとる1ビットのデータからなっていればよい。

【0040】

出力選択回路SEL2は、63ビットのバスIoB(1)～IoB(63)を介して配線LVL1～LVL4に接続されており、基本機能セルLFB'Cより供給された信号XY、及び内部データ記憶用メモリ2が読み出して後述する出力ポートFMより出力する2ビットの信号QYの計4ビットを、配線LVL1～LVL4を構成する信号線へと供給する。ただし、出力選択回路SEL2は、配線LVL1～LVL4のどの信号線に供給するかを、回路制御部5等より供給される24ビットの制御信号ConfigFoの値に基づいて決定し、決定された信号線にこの信号を供給するものとする。また、出力選択回路SEL2は、この信号を配線LVL1～LVL4のいずれの信号線にも供給しないと決定する場合もあり得るものとする。

【0041】

論理回路B O B Cは、配線L V L 4より供給された信号を回路制御部5の制御に従った
様で出力する論理回路からなっている。個々の論理回路B O B Cは、例えば図5に示す
ように、入力選択回路I S E L 2と、機能セルO B Cとを含んでいる。

[0 0 4 2]

【0042】 入力選択回路 ISEL2 は、63 ビットのバス IiC(1) ~ IiC(63) を介して配線 LVL4 に接続されており、接続先である配線 LVL4 より供給される信号のうち 4 ビットの信号を取得し、機能セル OBC へと供給する。ただし、入力選択回路 ISEL2 は、配線 LVL4 をなす 63 本の信号線のうちどの 4 本から信号を取得するかを、回路制御部 5 等より供給される 28 ビットの制御信号 ConfigO のうち 1 番目 ~ 24 番目のビットの値に基づいて決定し、決定された信号線から計 4 ビットの信号を取得して機能セル OBC へと供給するものとする。また、入力選択回路 ISEL2 は、配線 LVL4 のいずれの信号線からも信号を取得しないと決定する場合もあり得るものとし、この場合は、論理値 “0” を表す信号を機能セル OBC へと供給するものとする。

[0 0 4 3]

機能セルOBCは、ラッチ回路等からなっており、入力選択回路ISEL2より供給される4ビットの信号の値を保持し、又はこの信号を通過させる。保持又は通過のいずれを行ふかは、制御信号ConfigOのうち25番目～28番目のビットの値に基づいて決定する。そして、保持された値を有する信号、又は、通過した信号を、信号Yとして外部へ出力する。なお、論理回路部1はクロック信号を外部より取得するか、又はクロック信号を生成する回路を備えるものとし、論理回路部1の各部は、ラッチを行う場合はこのクロック信号に同期してラッチを行うものとすればよい。

【0 0 4 4】

マトリクススイッチB L S Wは、配線L V L 0～L V L 4 及び配線L H L 0～L H L 2 の相互間を電気的に接続したり切り離したりする機能を有するものであり、回路制御部5等より供給される制御信号（以下では、この制御信号を制御信号C o n f i g Lと呼ぶ）の値に従って、配線L V L 0～L V L 4 の相互間、配線L H L 0～L H L 2 の相互間、あるいは配線L V L 0～L V L 4 と配線L H L 0～L H L 2との間を電気的に接続したり切り離したりする。

例えは図6 (a) に示すように、配線LVLM (m は0～4の整数) と配線LHLn (n は0～2の整数)との間を断続するマトリクススイッチBL SWは、信号線LVLM- j (j は1～63の整数)と信号線LHLn- k (k は1～63の整数)との間を断続する (j は1～63の整数) と信号線LHLn- k (k は1～63の整数)との間を断続する。それぞれのスイッチ群Qは、例えは計3969個のスイッチ群Qより構成されている。それぞれのスイッチ群Qは、例えは図6 (b) に示すように、電界効果トランジスタ(FET)等のスイッチング素子より構成されている。図6 (b) に示す例では、FETQ1が、信号線LVLM- j を構成する2個の信号線LVLM- j AとLVLM- j Bとの間を断続し、FETQ2が、信号線L2個の信号線LVLM- j AとLVLM- j Bとの間を断続し、FETQ3が、信号線LHLn- k AとLHLn- k Bとの間を断続し、FETQ4が、信号線LVLM- j Aと信号線LHLn- k Aとの間を断続し、FETQ5が、信号線LVLM- j Aと信号線LHLn- k Bとの間を断続し、FETQ6が、信号線LVLM- j Bと信号線LHLn- k Aとの間を断続し、FETQ7が、信号線LVLM- j Bと信号線LHLn- k Bとの間を断続する。なお、スイッチ群Qが図6 (b) に示す構成を有している場合、制御信号ConfigLは、例えは、スイッチ群Qを構成する各FETのゲートに印加されればよい。

配線 LVL 0～LVL 4 は、入力論理回路 BIBC、論理回路 BFBC 及び出力論理回路 BOBC や、マトリクススイッチ BL SW に接続されている。配線 LHL 0～LHL 2 は、マトリクススイッチ BL SW に接続されている。配線 LHL 0～LHL 2 は、入力論理回路 BIBC、論理回路 BFBC 及び出力論理回路 BOBC には直接接続されていない（つまり、これらを介して BL SW を介して接続される場合はあり得る）。

(ただし、マトリクススイッチBLSWを介して接続される場合のみ)。

【0045】

内部データ記憶用メモリ2は、デュアルポート同期RAM(Random Access Memory)等のメモリを形成しており、上述の各論理回路BFB'Cに1対1に対応付けられた記憶領域

を有している。内部データ記憶用メモリ2のそれぞれの記憶領域の記憶容量は、各自に対応付けられている論理回路B F B Cが供給する信号を格納できるよう十分大きなワード長を有している。

【0046】

また、内部データ記憶用メモリ2は、例えば図1に示すように、互いに独立した入力ポートT O及び出力ポートF Mと、イネーブル端子E Nとを備え、また、互いに独立した読出用アドレスバス及び書込用アドレスバスを備える。入力ポートT O及びイネーブル端子E Nは論理回路B F B Cの基本機能セルL F B Cに接続されており、出力ポートF Mは論理回路B F B Cの出力選択回路O S E L 2に接続されており、読出用アドレスバス及び書込用アドレスバスは、回路制御部5に接続されている。

【0047】

内部データ記憶用メモリ2が有する記憶領域を構成するそれぞれの記憶位置には、読出用アドレスと書込用アドレスとが割り当てられている。そして、内部データ記憶用メモリ2は、データの記憶を指示する信号がイネーブル端子E Nに供給されたことを検知し、検知した時点で入力ポートT Oに供給されている信号を、書込用アドレスバスより供給されている書込用アドレスが示す記憶領域に記憶する。一方、内部データ記憶用メモリ2は、読出用アドレスバスより供給されている読出用アドレスが示す記憶領域から信号を読み出し、出力ポートF Mより出力する。なお、内部データ記憶用メモリ2は、信号を記憶する上述の動作と、信号を読み出して出力する上述の動作とを、並行して行うことができるものとする。

【0048】

モジュール記憶部3及びモジュールアドレス記憶部4は、各自が記憶している後述のデータを、回路制御部5のアクセスに応答して読み出し、回路制御部5に供給する。なお、モジュール記憶部3及びモジュールアドレス記憶部4が記憶する対象のデータは、回路制御部5が後述する動作を行うのに先立って外部の装置より供給され、モジュール記憶部3やモジュールアドレス記憶部4の記憶領域に格納されるものとする。

【0049】

モジュール記憶部3は、図1に模式的に示すように、プログラマブル論理回路Pの論理的構成を定義するデータ（以下、モジュール）を記憶する。1個のモジュールは、1個のプログラマブル論理回路部Pが一度に表現できる論理的構成の全体又は一部を示しているものとする。従って、モジュールは、入力論理回路B I B C、論理回路B F B C、出力論理回路B O B C及び内部データ記憶用メモリ2のすべての論理的構成を示すものであってもよく、又は、例えば特許文献2や特許文献3に開示されているものと同様、論理回路B F B Cの一部や内部データ記憶用メモリ2の一部を、他の論理回路の論理的構成を変更すること無しに論理構成するためのものであってもよい。

なお、モジュール記憶部3の記憶領域を構成する各記憶位置には10ビットのアドレスが割り当てられており、モジュール記憶部3は、モジュールのアドレス、すなわち、モジュールが記憶されている先頭（あるいは末尾等、モジュール内の一定の部分）の記憶位置のアドレスを特定することにより、当該モジュールを特定することができるものとする。

【0050】

モジュールアドレス記憶部4の記憶領域は、図7に示すように、32ビット毎に1個のページを構成している。そして、それぞれのページにはページアドレスが割り当てられており、このページアドレスにより、モジュールアドレス記憶部4の各ページは上位から下位へと順位づけられている。また、それぞれのページを構成する32個のビットも、上位から下位へと順位付けられている。

【0051】

モジュールアドレス記憶部4のそれぞれのページには、データ構造を図7に模式的に示すように、モジュール記憶部3が記憶するそれぞれのモジュールのアドレス又は分岐処理を行う場合におけるジャンプの幅を示す値（オフセット値）と、6ビットの制御ビットと、書込用アドレスと、読出用アドレスとが格納される。図7に示す例では、各ページの下

位の方から順に、モジュールのアドレス又はオフセット値が10ビットを、制御ビットが6ビットを、書込用アドレスが8ビットを、読出用アドレスが8ビットを、それぞれ占有している。

【0052】

制御ビットは、例えば、回路制御部5に分岐処理を行わせるか否かを示す2ビット（以下、分岐制御ビットと呼ぶ）と、分岐処理を行わせる場合における分岐条件を示す4ビット（以下、分岐条件定義ビットと呼ぶ）により構成されている。

【0053】

分岐制御ビットは、所定の値（例えば2進数“10”）をとる場合、更に当該分岐制御ビットと同じページに含まれる分岐条件ビットが示す条件が満たされた場合は、当該ページのページアドレスを基点として、当該ページに格納されているオフセット値の分ジャンプする（すなわち、当該ページのページアドレスと当該ページに格納されているオフセット値との和にあたるページアドレスを有するページに格納されているデータを読み込む）ことを、回路制御部5に指示する。

【0054】

一方、分岐制御ビットは、上述の所定の値以外の値（例えば2進数“00”又は“01”）をとる場合は、当該分岐制御ビットと同じページに含まれるアドレスにより特定される（すなわち、当該ページのページアドレスと当該ページに格納されているオフセット値との和にあたるページアドレスを有するページに格納されているデータを読み込む）ことを、回路制御部5に指示する。

【0055】

分岐条件ビットは、例えば、値が2進数“0000”をとる場合、「信号Cond(0)が値“0”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“0001”をとる場合、「信号Cond(1)が値“0”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“0010”をとる場合、「信号Cond(2)が値“0”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“0011”をとる場合、「信号Cond(3)が値“0”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“0100”をとる場合、「信号Cond(4)が値“0”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“1000”をとる場合、「信号Cond(0)が値“1”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“1001”をとる場合、「信号Cond(1)が値“1”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“1010”をとる場合、「信号Cond(2)が値“1”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“1011”をとる場合、「信号Cond(3)が値“1”を有していること」をジャンプ実行の条件とすることを示す。

また、例えば値が2進数“1100”をとる場合、「信号Cond(4)が値“1”を有していること」をジャンプ実行の条件とすることを示す。

なお、信号Cond(0)～Cond(4)は、条件の成否を監視する処理を行っている論理回路BFB'Cや、監視の結果を出力する処理を行っている出力論理回路B'OB'C、あるいはその他論理回路部1内の所定のノードが回路制御部5に供給する計5ビットの信号である。いかなる場合に論理回路BFB'Cあるいは出力論理回路B'OB'C等が信号Condである。

【0056】

なお、信号Cond(0)～Cond(4)は、条件の成否を監視する処理を行っている論理回路BFB'Cや、監視の結果を出力する処理を行っている出力論理回路B'OB'C、あるいはその他論理回路部1内の所定のノードが回路制御部5に供給する計5ビットの信号である。いかなる場合に論理回路BFB'Cあるいは出力論理回路B'OB'C等が信号Condである。

`nd(0) ~ Cond(4)` を供給するかは、例えばモジュールに予め記述されているものとする。また、条件の成否を監視する対象になり得るものとしては、条件ジャンプを実行する条件の他、例えば、他の処理を呼び出す条件、呼び出しを行った素の処理へのリターンを行う条件、等が考えられる。

【0057】

回路制御部5は、例えば図8に示す処理を行う。（回路制御部5が、プロセッサ及び不揮発性メモリなどより構成されている場合は、例えばこの不揮発性メモリが記憶するプログラムをこのプロセッサが読み込んで実行することにより、このプロセッサが図8に示す処理を行うものとすればよい。）

【0058】

すなわち、回路制御部5は、例えば、動作を開始するとまず、モジュールアドレス記憶部4の最上位のページアドレスを有するページに格納されているデータ（つまり、制御ビットと、モジュールのアドレス若しくはオフセット値）を読み込む（図8、ステップS1）。

【0059】

次に、回路制御部5は、後述のステップS5、ステップS7又はステップS9でモジュールアドレス記憶部4から最も新しくデータを読み込んだページが最後のページであるか否か、すなわち、最下位のページアドレスを与えられたページであるか否かを判別する（ステップS2）。そして、最後のページであると判別すると、処理を終了する。

一方、最後のページではないと判別すると、回路制御部5は、モジュールアドレス記憶部4から最も新しく読み込んだデータに含まれる制御ビットが、（a）モジュールの読み込み、又は（b）分岐（条件ジャンプや無条件ジャンプ）のいずれの処理を指示するものであるかを判別する（ステップS3）。

【0060】

そして、（a）の処理を指示するものであると判別すると、回路制御部5は、モジュールアドレス記憶部4から最も新しく読み込んだデータに含まれるアドレスにより特定されるモジュールをモジュール記憶部3より読み込み、このモジュールが表す論理的構成をとるよう、プログラマブル論理回路Pの各部（例えば、論理回路部1をなす部分や、内部データ記憶用メモリ2をなす部分等）を再構成する（ステップS4）。ステップS4で回路制御部5は、具体的には、例えば上述の制御信号ConfigI、ConfigFi、ConfigFf、ConfigFo、ConfigO及びConfigLを生成して、論理回路部1に供給することにより、論理回路部1の再構成を行う。

【0061】

また、ステップS4で回路制御部5は、内部データ記憶用メモリ2に、モジュールアドレス記憶部4から最も新しく読み込んだデータに含まれる書込用アドレス及び読出用アドレスを供給する。

【0062】

なお、論理回路部1は、ステップS4で上述の制御信号を供給されると、信号XYの値を内部データ記憶用メモリ2より読み出す処理や、信号QYを読み込む処理を行う。なお、信号XYの書き込み及び信号QYの読み込みは、当該書き込みや読み込みが行われた時点において、回路制御部5が読出用アドレスや書込用アドレスを内部データ記憶用メモリ2へ供給して指定している記憶位置に対して行われる。

【0063】

ステップS4の処理が終わると、回路制御部5は、モジュールアドレス記憶部4から最も新しくデータを読み込んだページの次のページに格納されているデータを読み込み（ステップS5）、処理をステップS2に戻す。

【0064】

一方、ステップS3で、制御ビットが（b）の処理を指示するものであると判別する、回路制御部5は、当該制御ビットに含まれる分岐条件定義ビットが、（c）無条件ジャンプ、又は（d）条件ジャンプのいずれの処理を指示するものであると判別する（ステップ、

PS6)。ステップS6で回路制御部5は、具体的には、分岐条件定義ビットの値が“0111”又は“1111”であるか否かを判別し、これらの値のいずれかであれば無条件ジャンプを指示するものであると判別し、その他の値であれば、条件ジャンプを指示するものであると判別する。

【0065】

【0065】
そして、無条件ジャンプを指示するものであるとステップS 6で判別すると、回路制御部5は、当該制御ビットと同じページに含まれていたオフセット値を参照し、当該オフセット値の分ジャンプし（すなわち、ジャンプ先のページに格納されているデータを読み込み）（ステップS 7）、処理をステップS 2に戻す。

【0 0 6 6】

[0067]

【0067】一方、論理回路部1は、外部から入力論理回路BIBCに供給された信号等を用いて、当該信号が供給された時点での自己の論理的構成に従った演算を行う。そして、演算結果を示す信号を、出力論理回路BOBCから出力する。

[0068]

【0068】 上述の動作を行うことにより、このプログラマブル論理回路装置は、プログラマブル論理回路 P の再構成を所定の順序で逐次に行えるだけでなく、条件分岐や、分岐先からの復帰、ループなどを含んだ複雑な手順による再構成も円滑に実行する。

また、論理回路部1が処理の過程で生成するデータは、内部データ記憶用メモリ2に保持される。従って、このデータのビット幅やデータ長が処理毎に様々であっても、論理回路部1が行うそれぞれの処理について用意する必要がない。従って、このプログラマブル論理回路装置は簡単に構成できる。

[0069]

また、このプログラマブル論理回路装置の構成は上述のものに限られない。

なお、このプログラマブル論理回路装置の構成は上述べる如くに依づける。
例えは、モジュール記憶部3は、外部のRAMあるいはその他外部の記憶装置より構成されていてもよい。

[0070]

【0070】 また、内部データ記憶用メモリ2及びモジュールアドレス記憶部4の一部又は全部も、外部のRAMあるいはその他プログラマブル論理回路Pとは別個の記憶装置より構成されてもよい。なお、1個の記憶装置が、内部データ記憶用メモリ2、モジュール記憶部3及びモジュールアドレス記憶部4の一部又は全部の機能を行うようにしてもよい。

【0 0 7 1】

また、回路制御部5は、例えばCPU(Central Processing Unit)等からなる、プログラマブル論理回路Pとは別個のプロセッサや、このプロセッサが実行するプログラムを記憶するROM(Read Only Memory)等の外部のメモリなどより構成されていてもよい。あるいは、回路制御部5は、プログラマブル論理回路Pとは別個の専用の電子回路より構成されていてもよい。

【0072】

また、プログラマブル論理回路Pのうち、モジュールに従って再構成される部分は、必ずしも論理回路部1をなす部分や内部データ記憶用メモリ2をなす部分に限定されている。しかしモジュール記憶部3やモジュールアドレス記憶部4をなす部分も再構成の対象とされてよい。更には、回路制御部5をなす部分も再構成の対象とされてよい。

【0073】

また、論理回路部1が内部データ記憶用メモリ2に記憶させる信号は信号XYに限られず、論理回路部1が任意のノードに発生させる任意の信号の値を記憶させてもよい。

また、論理回路部1が内部データ記憶用メモリ2への信号の値の書き込み及び読み出しを並行して行う必要がない場合、内部データ記憶用メモリ2は、必ずしもデータの読み出し及び書き込みを並行して実行可能な構成を有している必要はない。

【0074】

また、モジュールアドレス記憶部4が記憶するデータのデータ構造は必ずしも上述の通りである必要はなく、例えば、1ページを構成するビットの数は任意である。また、モジュールのアドレス、ページアドレス、書込用アドレス、読出用アドレス、オフセット値、分岐制御ビットあるいは分岐条件定義ビットのビット数や、これらがモジュールアドレス記憶部4の個々のページ内で占める位置も任意である。

【0075】

また、回路制御部5がジャンプを実行する条件も上述のものに限られない。例えば、ジャンプ実行の条件は必ずしも信号Cond(0)～Cond(4)の値に係るものでなくともよく、また、信号Condのビット数は必ずしも5ビットでなくてもよい。一方で当該条件は、回路制御部5が取得可能な他の任意の情報に係るものであってもよい。

また、信号Condは、一つ又は複数の時点において論理回路部1の1個又は複数のノードに生じる信号の値に論理演算等の所定の処理を施した結果得られる値を表すものであってもよく、この場合、論理回路部1は、例えば当該論理演算等を行う論理回路を含んでいればよい。

【0076】

また、回路制御部5は、上述したような態様のジャンプ（すなわち相対ジャンプ）のみならず、絶対ジャンプを行ってもよい。この場合、例えば、モジュールアドレス記憶部4が記憶する分岐制御ビットは、例えば、相対ジャンプ、絶対ジャンプ、又はジャンプ不実行の3種類の指示を表し得るものとすればよい。そして、分岐制御ビットが絶対ジャンプを指示するものである場合、回路制御部5は、当該分岐制御ビットを含むページにはオフセット値に代えてジャンプ先のページアドレスが格納されていると解釈する（すなわち、当該ページにはオフセット値に代えてジャンプ先のページアドレスが格納される必要がある）ものとすればよい。

【0077】

以上、この発明の実施の形態を説明したが、この発明にかかるプログラマブル論理回路制御装置は、専用のシステムによらず、通常のコンピュータシステムを用いて実現可能である。例えば、論理回路部1に接続されたコンピュータに、上述の内部データ記憶用メモリ2、モジュール記憶部3、モジュールアドレス記憶部4及び回路制御部5の動作を実行させるためのプログラムを格納した媒体(CD-ROM、MO等)からこれらのプログラムをインストールすることにより、上述の処理を実行するプログラマブル論理回路装置を構成することができる。

【0078】

また、例えば、通信回線の掲示板(BBS)にこのプログラムをアップロードし、これを通信回線を介して配信してもよく、また、このプログラムを表す信号により搬送波を変調し、得られた変調波を伝送し、この変調波を受信した装置が変調波を復調してこのプログラムを復元するようにしてよい。そして、このプログラムを起動し、OSの制御下に、他のアプリケーションプログラムと同様に実行することにより、上述の処理を実行することができる。

【0079】

なお、OSが処理の一部を分担する場合、あるいは、OSが本願発明の1つの構成要素の一部を構成するような場合には、記録媒体には、その部分を除いたプログラムを格納してもよい。この場合も、この発明では、その記録媒体には、コンピュータが実行する各機

能又はステップを実行するためのプログラムが格納されているものとする。

【図面の簡単な説明】

【0080】

【図1】本発明の実施の形態に係るプログラマブル論理回路装置の構成を示す図である。

【図2】プログラマブル論理回路の構成を模式的に示す図である。

【図3】論理回路BIBCの構成を示す図である。

【図4】論理回路BFBCの構成を示す図である。

【図5】論理回路BOBCの構成を示す図である。

【図6】(a)は、マトリクススイッチの構成を示す図であり、(b)は、マトリクススイッチを構成するスイッチ群の構成を示す図である。

【図7】モジュールアドレス記憶部が記憶するデータのデータ構造を模式的に示す図である。

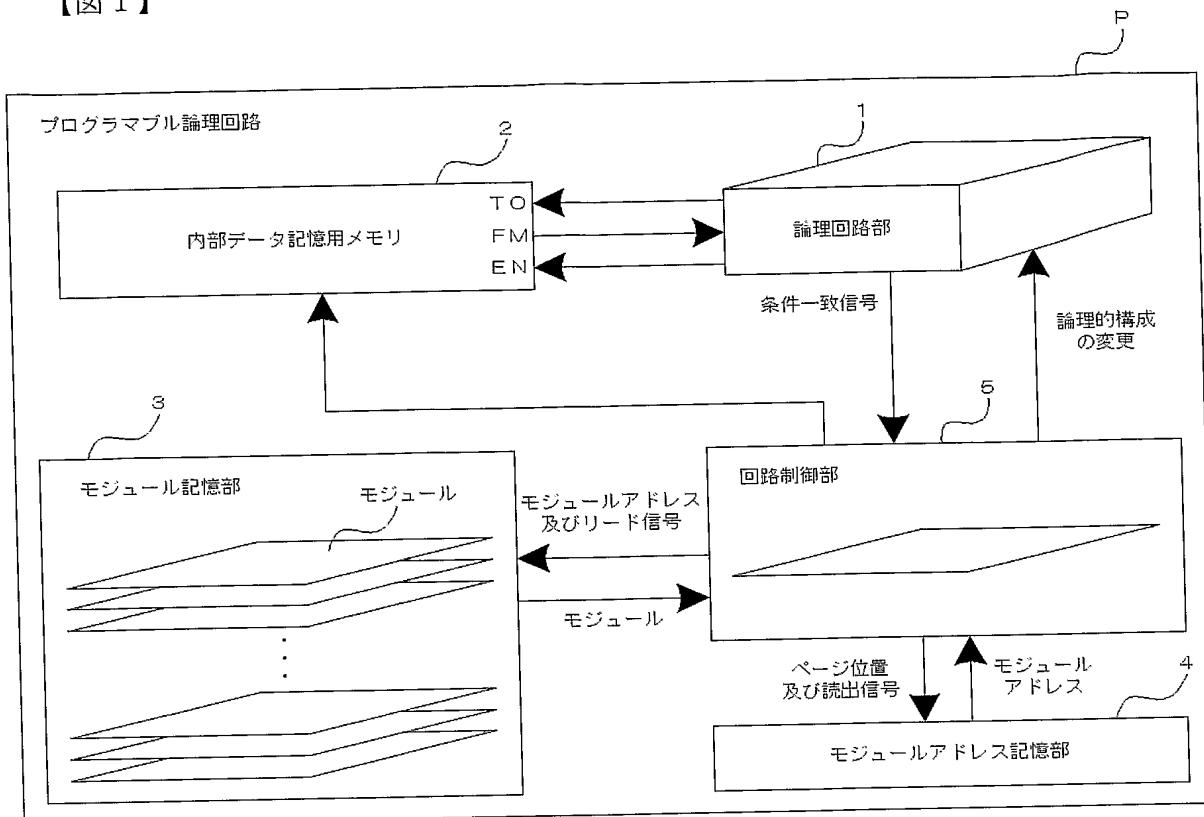
【図8】回路制御部が行う処理の流れを示すフローチャートである。

【符号の説明】

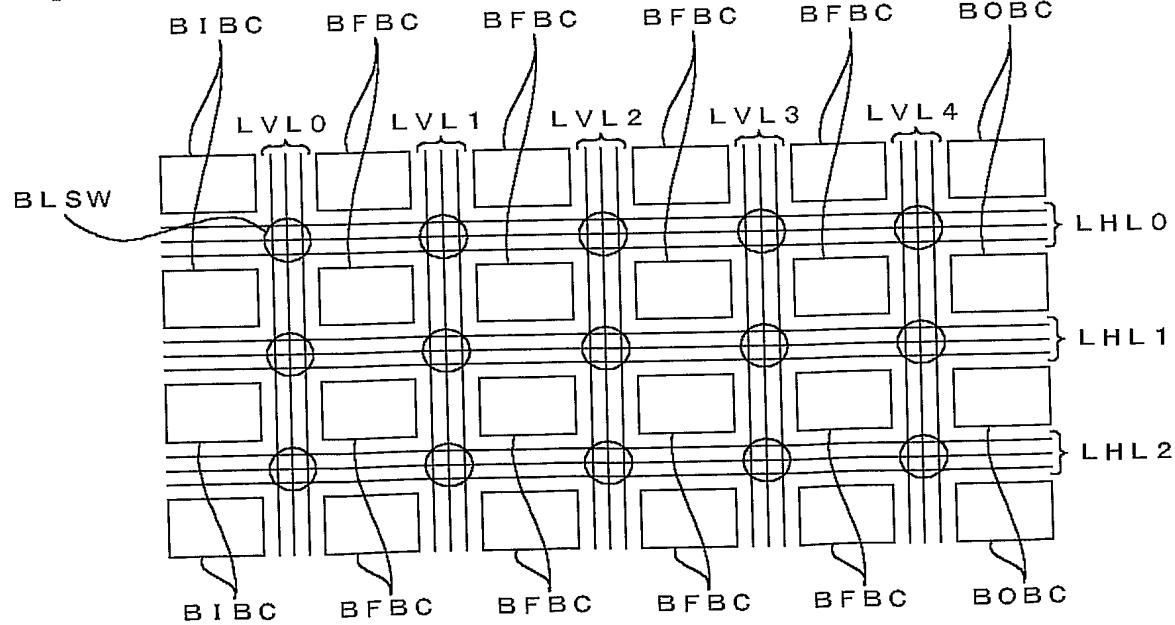
【0081】

P	プログラマブル論理回路
1	論理回路部
2	内部データ記憶用メモリ
3	モジュール記憶部
4	モジュールアドレス記憶部
5	回路制御部

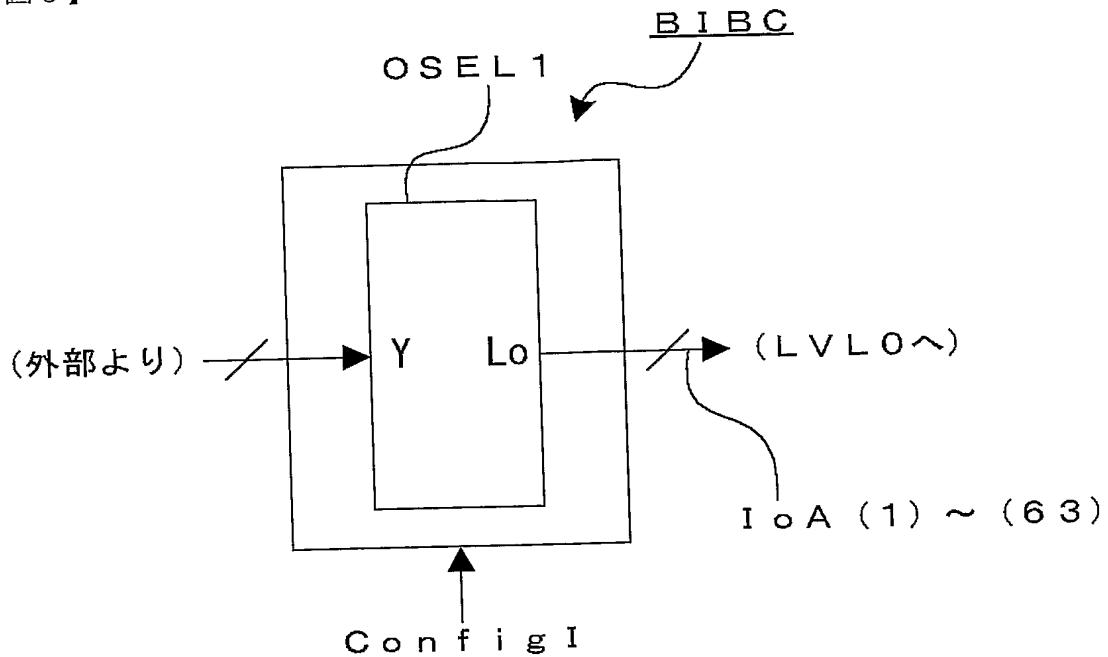
【書類名】図面
【図1】



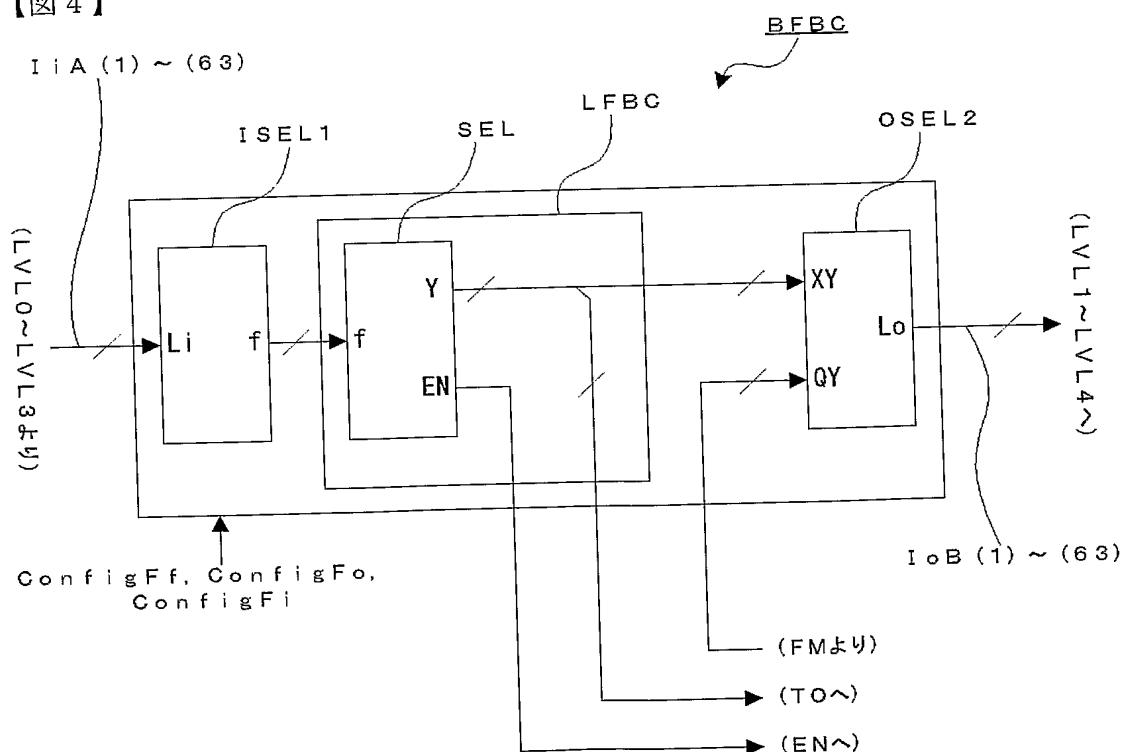
【図2】

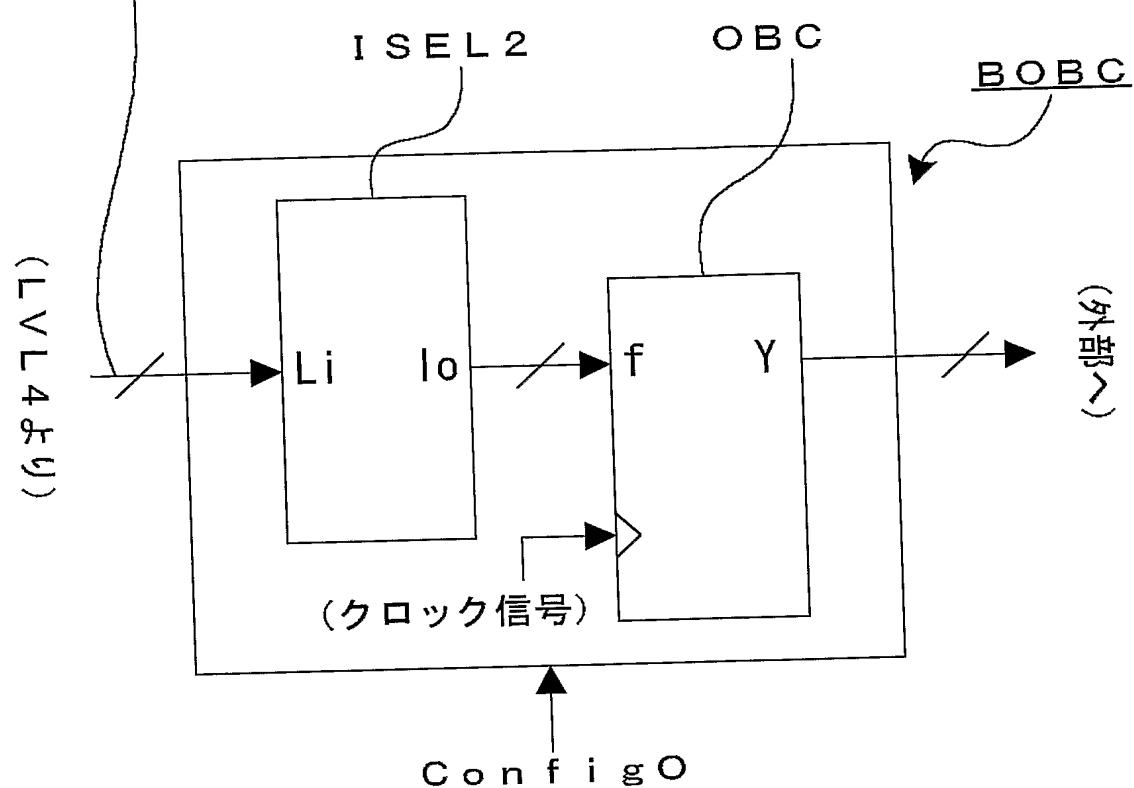


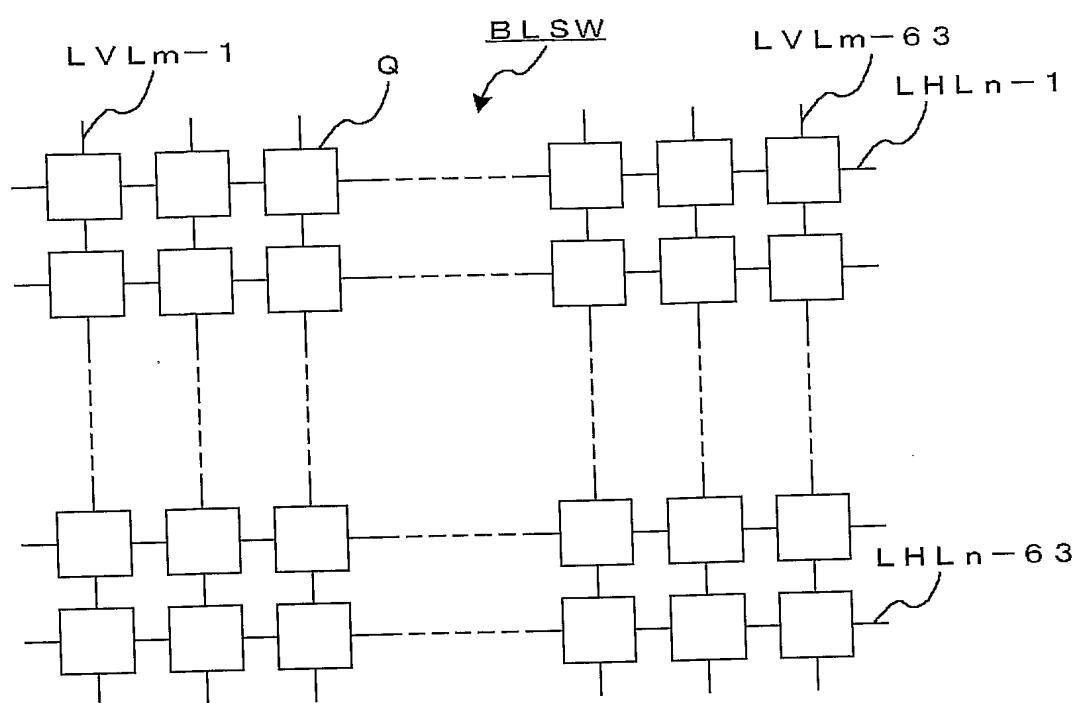
【図3】



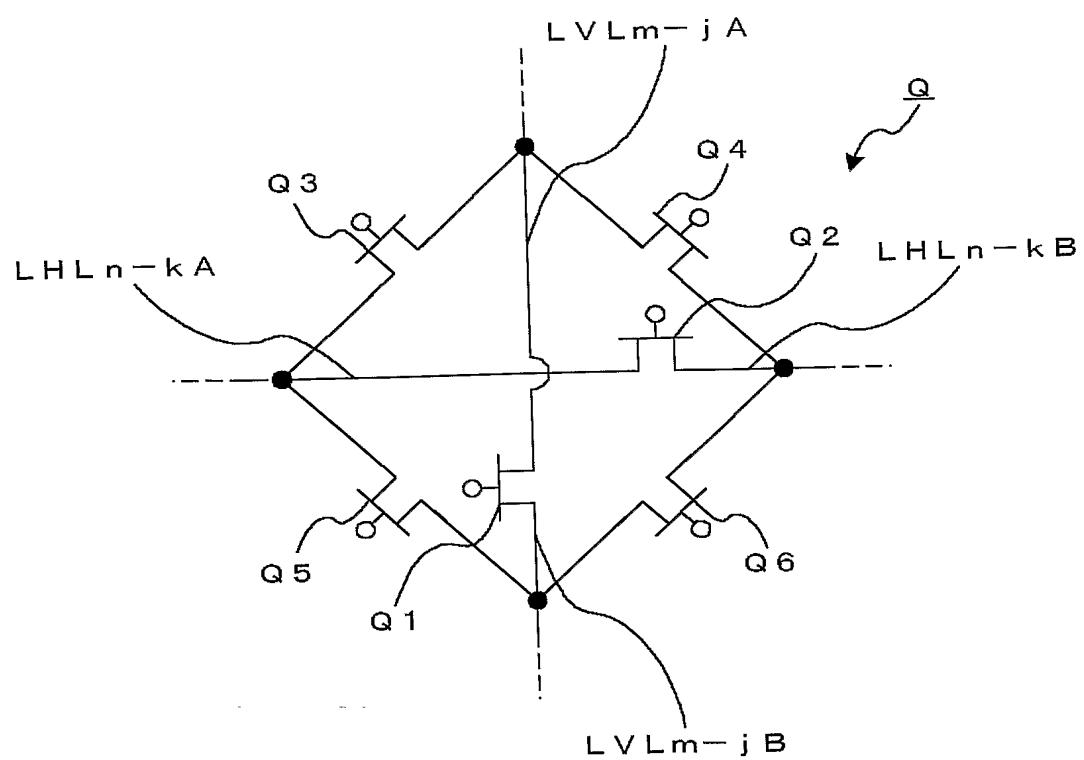
【図4】



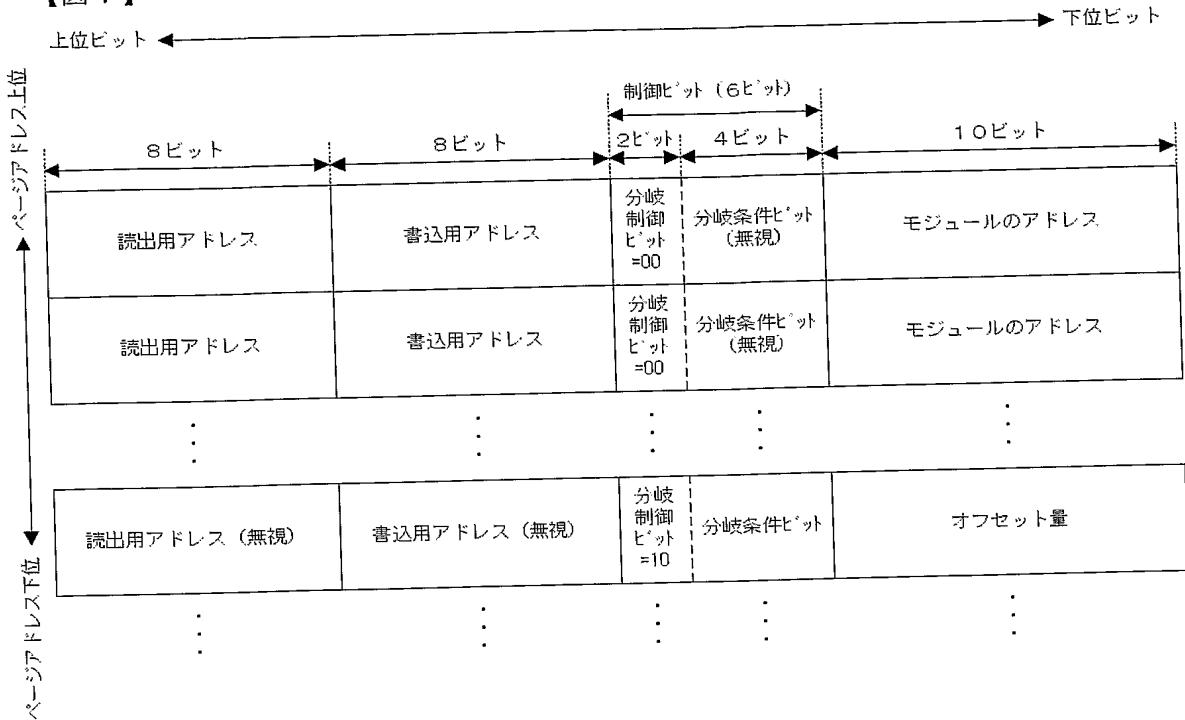
【図5】
I i C (1) ~ (63)

【図6】
(a)

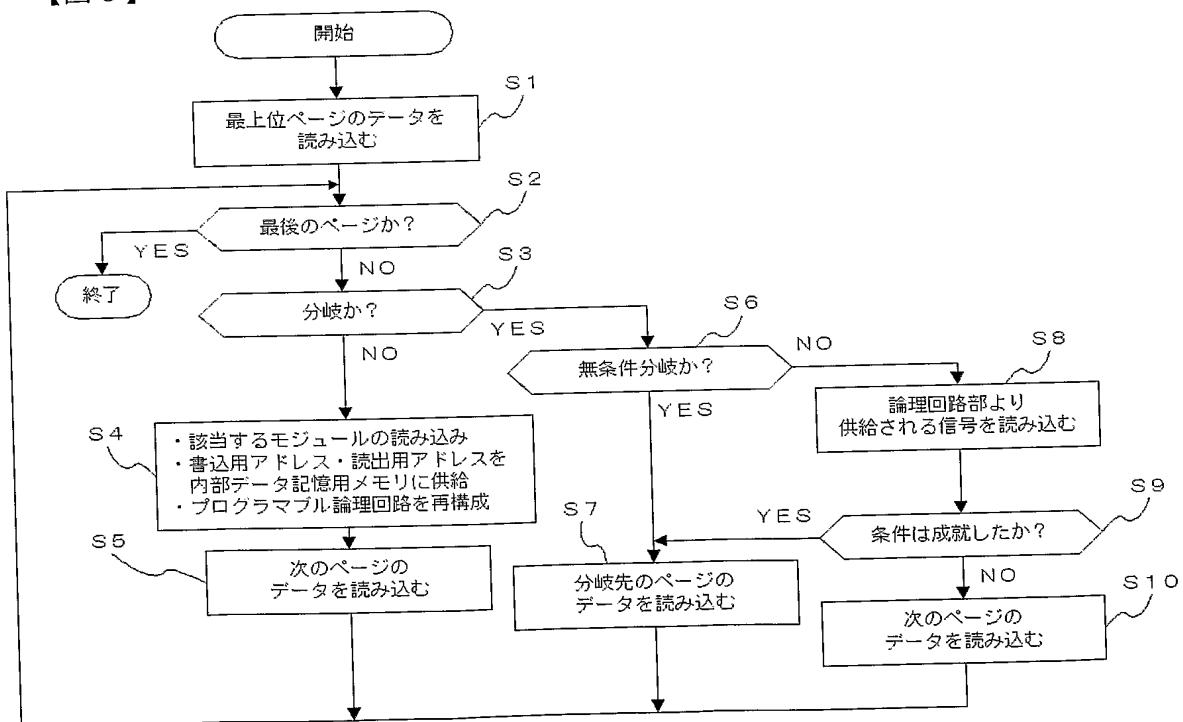
(b)



【図7】



【図8】



【書類名】要約書

【要約】

【課題】 プログラマブル論理回路が実行する多様な処理によって生じる様々なビット幅ないしデータ長のデータを簡単な構成で管理できるプログラマブル論理回路制御システム等を提供することである。

【解決手段】 モジュールアドレス記憶部4は、モジュールのアドレス、又は分岐処理の条件及びジャンプの幅を示すデータをページ毎に記憶している。モジュールのアドレスが格納されているページには、内部データ記憶用メモリ2の書込用アドレスや読出用アドレスも格納される。回路制御部5は、モジュールアドレス記憶部4の各ページのデータを読み込み込み、このデータに従って、モジュールの読み込み・プログラマブル論理回路Pの再構成・次のページのデータの読み込みを行い、あるいはジャンプを行う。また、プログラマブル論理回路Pの再構成を行う場合は、内部データ記憶用メモリ2へと書込用アドレスや読出用アドレスを供給する動作も行う。

【選択図】

図 1

【書類名】 手続補正書
【提出日】 平成16年 6月10日
【あて先】 特許庁長官殿
【事件の表示】 特願2004- 42701
【出願番号】
【補正をする者】
【識別番号】 500323188
【氏名又は名称】 東京エレクトロンデバイス株式会社
【代理人】
【識別番号】 100095407
【弁理士】
【氏名又は名称】 木村 満
【手続補正1】
【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更
【補正の内容】
【発明者】
【住所又は居所】 宮城県仙台市青葉区1番町3-3-16 オー・エックス芭蕉の
辻ビル 東京エレクトロンデバイス株式会社内
【氏名】 菊地 修一
【その他】 誤記の理由は、代理人の不備によるものです。

特願 2004-042701

出願人履歴情報

識別番号

[500323188]

1. 変更年月日

2000年 7月 7日

[変更理由]

新規登録
神奈川県横浜市都筑区東方町1番地
東京エレクトロンデバイス株式会社

住所
氏名